

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Inventors: K. TANOUE

Application No.: New Patent Application

Filed: March 31, 2004

For: INTERLEAVING/DEINTERLEAVING METHOD AND APPARATUS

CLAIM FOR PRIORITY

Honorable Commissioner of  
Patents and Trademarks  
Washington, D.C. 20231

Sir:

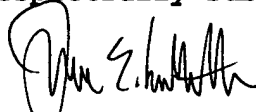
The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested for the above-identified application and the priority provided in 35 USC 119 is hereby claimed:

Japanese Appln. No. 2003-102918, filed April 7, 2003.

In support of this claim, a certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the requirements of 35 USC 119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Respectfully submitted,



James E. Ledbetter  
Registration No. 28,732

Date: March 31, 2004

JEL/apg  
Attorney Docket No. L8462.04113  
STEVENS, DAVIS, MILLER & MOSHER, L.L.P.  
1615 L Street, NW, Suite 850  
P.O. Box 34387  
Washington, DC 20043-4387  
Telephone: (202) 785-0100  
Facsimile: (202) 408-5200

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 3 年   4 月   7 日  
Date of Application:

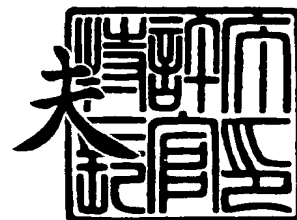
出 願 番 号            特 願 2 0 0 3 - 1 0 2 9 1 8  
Application Number:  
[ST. 10/C]:            [ J P 2 0 0 3 - 1 0 2 9 1 8 ]

出   願   人            松 下 電 器 産 業 株 式 会 社  
Applicant(s):

2 0 0 4 年   2 月 2 0 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号   出証特 2 0 0 4 - 3 0 1 1 9 0 9

【書類名】 特許願  
【整理番号】 5037940150  
【あて先】 特許庁長官殿  
【国際特許分類】 G06F 9/315  
H03M 13/27

## 【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地  
松下電器産業株式会社内

【氏名】 田上 一文

## 【特許出願人】

【識別番号】 000005821  
【氏名又は名称】 松下電器産業株式会社

## 【代理人】

【識別番号】 100076174  
【弁理士】  
【氏名又は名称】 宮井 暎夫

## 【選任した代理人】

【識別番号】 100105979  
【弁理士】  
【氏名又は名称】 伊藤 誠

## 【手数料の表示】

【予納台帳番号】 010814  
【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1  
【物件名】 図面 1  
【物件名】 要約書 1  
【包括委任状番号】 0212624

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 インターリーブ／デインターリーブ方法及び装置

【特許請求の範囲】

【請求項 1】 データ記憶手段に格納された第一のデータをデータ要素の並びが異なる第二のデータへとインターリーブ／デインターリーブ処理するインターリーブ／デインターリーブ方法であって、

前記データ記憶手段から前記第一のデータの一部であるワードデータを読み出す第一のステップと、

読み出された該ワードデータ中から処理対象となるデータ要素を選択出力する第二のステップとを繰り返し、

この繰り返されるときの前記処理対象となるデータ要素の順番が、前記第二のデータのデータ要素の並びに従って定められること

を特徴とするインターリーブ／デインターリーブ方法。

【請求項 2】 データ記憶手段に格納された第一のデータを 1 ビット単位のデータ要素の並びが異なる第二のデータへとインターリーブ／デインターリーブ処理するインターリーブ／デインターリーブ方法であって、

前記データ記憶手段から前記第一のデータの一部であるワードデータを読み出す第一のステップと、

読み出された該ワードデータ中から処理対象となるデータ要素を選択出力する第二のステップと、

シフトレジスタに既に格納されているビット列を 1 ビットシフトして、前記選択出力されたデータ要素を前記シフトレジスタに格納する第三のステップとを所定数繰り返した後、

前記シフトレジスタに格納されているビット列を前記データ記憶手段に格納する第四のステップを有し、

前記第一から第三のステップが繰り返されるときの前記処理対象となるデータ要素の順番が、前記第二のデータのデータ要素の並びに従って定められること

を特徴とするインターリーブ／デインターリーブ方法。

【請求項 3】 データ記憶手段に格納された第一のデータをデータ要素の並び

が異なる第二のデータへとインターリーブ／デインターリーブ処理するインターリーブ／デインターリーブ方法であって、

前記データ記憶手段における前記第二のデータが格納される領域を初期化するステップと、

前記第一のデータの一部であるワードデータを前記第一のデータのデータ要素の並びに従って前記データ記憶手段から読み出しシフトレジスタに格納するステップと、

前記シフトレジスタに格納されたワードデータを最上位のビット位置に位置するデータ要素から順にシフトアウト出力するステップと、

前記シフトアウト出力されたデータ要素を、第二のデータとしてのワードデータ中のビット位置に位置するようにしてワードデータに拡張し第一のワードデータを生成するステップと、

前記シフトアウト出力されたデータ要素を格納すべき前記データ記憶手段の番地に格納されたワードデータを第二のワードデータとして読み出すステップと、

前記第一のワードデータと前記第二のワードデータとの論理和をとるステップと、

前記論理和を前記データ記憶手段における前記第二のワードデータが読み出された番地へと格納するステップと

を含むことを特徴とするインターリーブ／デインターリーブ方法。

【請求項 4】 第一のデータをデータ要素の並びが異なる第二のデータへとインターリーブ／デインターリーブ処理するインターリーブ／デインターリーブ装置であって、

前記第一のデータを格納するデータ記憶手段と、

前記第一のデータの一部であるワードデータの前記データ記憶手段における番地情報と、処理対象となるデータ要素の該ワードデータ中におけるビット位置情報とを順次供給するアクセス情報供給手段と、

前記番地情報に該当する前記データ記憶手段の番地から読み出されたワードデータを入力し、そのワードデータ中から前記ビット位置情報に基づいて 1 つのデータ要素を選択して出力するデータ選択手段とを備え、

前記アクセス情報供給手段が順次供給する番地情報及びビット位置情報は、前記第二のデータのデータ要素の並びに従って定められること

を特徴とするインターリーブ／デインターリーブ装置。

【請求項 5】 前記データ要素は 1 ビットを単位としており、

既に格納されているビット列を順次 1 ビットシフトして前記データ選択手段から順次出力される 1 ビットのデータ要素を順次格納するシフトレジスタをさらに備えており、

前記シフトレジスタに格納された前記ビット列が、少なくとも 1 ワードデータのビット幅以上である所定ビット幅となると、前記第二のデータの一部として前記データ記憶手段へ格納すること

を特徴とする請求項 4 記載のインターリーブ／デインターリーブ装置。

【請求項 6】 前記データ選択手段はシフタで構成されており、選択するデータ要素が特定のビット位置に位置するように前記データ記憶手段から読み出されたワードデータをシフトさせ、シフト後の前記特定のビット位置からの出力を前記データ選択手段の出力とすること

を特徴とする請求項 4 記載のインターリーブ／デインターリーブ装置。

【請求項 7】 第一のデータをデータ要素の並びが異なる第二のデータへとインターリーブ／デインターリーブ処理するインターリーブ／デインターリーブ装置であって、

前記第一のデータと前記第二のデータとを格納するデータ記憶手段と、

前記第二のデータの一部であるワードデータの前記データ記憶手段における番地情報と、処理対象となるデータ要素の該ワードデータ中におけるビット位置情報とを供給するアクセス情報供給手段と、

前記第一のデータのデータ要素の並びに従って前記データ記憶手段から読み出された前記第一のデータの一部であるワードデータを格納し、最上位のビット位置に位置するデータ要素から順にシフトアウト出力するシフトレジスタと、

前記ビット位置情報を基に、前記シフトレジスタから順にシフトアウト出力されたデータ要素を順次ワードデータに拡張して出力するデータ拡張手段と、

前記番地情報に該当する前記データ記憶手段の番地から読み出されたワードデ

ータと前記データ拡張手段から出力されたワードデータとの論理和をとり、該論理和を出力する論理和手段とを備え、

前記論理和手段が出力する論理和を前記データ記憶手段の前記ワードデータが読み出された前記番地情報に該当する番地へ格納し、

前記アクセス情報供給手段が順次供給する番地情報及びビット位置情報は、前記第一のデータのデータ要素の並びに従って定められること

を特徴とするインターリーブ／デインターリーブ装置。

【請求項 8】 前記データ拡張手段はシフトで構成されており、前記シフトレジスタからシフトアウト出力されたデータ要素が前記ビット位置情報に対応したビット位置に位置するようにシフトを行い、前記ビット位置情報に対応したビット位置より上位のビットに関しては 0 拡張し、下位のビットに関しては 0 埋めをして、ワードデータとして出力すること

を特徴とする請求項 7 記載のインターリーブ／デインターリーブ装置。

【請求項 9】 第一のデータをデータ要素の並びが異なる第二のデータへとインターリーブ／デインターリーブ処理するインターリーブ／デインターリーブ装置であって、

前記第一のデータと前記第二のデータとを格納するデータ記憶手段と、

番地情報とビット位置情報とを供給するアクセス情報供給手段とを備えており

、  
前記番地情報は、インターリーブ処理を行うときには、前記第二のデータの一部であるワードデータの前記データ記憶手段における番地となり、デインターリーブ処理を行うときには、前記第一のデータの一部であるワードデータの前記データ記憶手段における番地となり、

前記ビット位置情報は、インターリーブ処理を行うときには、前記第二のデータの一部であるワードデータ中における処理対象となるデータ要素のビット位置を示し、デインターリーブ処理を行うときには、前記第一のデータの一部であるワードデータ中における処理対象となるデータ要素のビット位置を示すこと

を特徴とするインターリーブ／デインターリーブ装置。

【請求項 10】 インターリーブ処理を行うときに、前記第一のデータのデー

タ要素の並びに従って前記データ記憶手段から読み出された前記第一のデータの一部であるワードデータを格納し、最上位のビット位置に位置するデータ要素から順にシフトアウト出力するシフトレジスタと、

インターリーブ処理を行うときに、前記ビット位置情報を基に、前記シフトレジスタから順にシフトアウト出力されたデータ要素を順次ワードデータに拡張して出力するデータ選択拡張手段と、

インターリーブ処理を行うときに、前記番地情報に該当する前記データ記憶手段の番地から読み出されたワードデータと前記データ選択拡張手段から出力されたワードデータとの論理和をとり、該論理和を出力する論理和手段とを設け、

前記論理和手段が出力する論理和を前記データ記憶手段の前記ワードデータが読み出された前記番地情報に該当する番地へ格納し、

前記データ選択拡張手段は、デインターリーブ処理を行うときには、前記番地情報に該当する前記データ記憶手段の番地から読み出されたワードデータを入力し、そのワードデータ中から前記ビット位置情報に基づいて1つのデータ要素を選択して出力し、

前記シフトレジスタは、デインターリーブ処理を行うときには、既に格納されているビット列を順次1ビットシフトして前記データ選択拡張手段から順次出力される1ビットのデータ要素を順次格納し、この格納された前記ビット列が、少なくとも1ワードデータのビット幅以上である所定ビット幅となると、前記第二のデータの一部として前記データ記憶手段へ格納すること

を特徴とする請求項9記載のインターリーブ／デインターリーブ装置。

【請求項11】 第一のデータをデータ要素の並びが異なる第二のデータへとインターリーブ／デインターリーブ処理するインターリーブ／デインターリーブ装置であって、

前記第一のデータと前記第二のデータとを格納するデータ記憶手段と、

番地情報とビット位置情報とを供給するアクセス情報供給手段とを備えており、

前記番地情報は、デインターリーブ処理を行うときには、前記第二のデータの一部であるワードデータの前記データ記憶手段における番地となり、インターリ



ープ処理を行うときには、前記第一のデータの一部であるワードデータの前記データ記憶手段における番地となり、

前記ビット位置情報は、デインターリーブ処理を行うときには、前記第二のデータの一部としての該ワードデータ中における処理対象となるデータ要素のビット位置を示し、インターリーブ処理を行うときには、前記第一のデータの一部としての該ワードデータ中における処理対象となるデータ要素のビット位置を示すこと

を特徴とするインターリーブ／デインターリーブ装置。

【請求項 12】 デインターリーブ処理を行うときに、前記第一のデータのデータ要素の並びに従って前記データ記憶手段から読み出された前記第一のデータの一部であるワードデータを格納し、最上位のビット位置に位置するデータ要素から順にシフトアウト出力するシフトレジスタと、

デインターリーブ処理を行うときに、前記ビット位置情報を基に、前記シフトレジスタから順にシフトアウト出力されたデータ要素を順次ワードデータに拡張して出力するデータ選択拡張手段と、

デインターリーブ処理を行うときに、前記番地情報に該当する前記データ記憶手段の番地から読み出されたワードデータと前記データ選択拡張手段から出力されたワードデータとの論理和をとり、該論理和を出力する論理和手段とを設け、

前記論理和手段が出力する論理和を前記データ記憶手段の前記ワードデータが読み出された前記番地情報に該当する番地へ格納し、

前記データ選択拡張手段は、インターリーブ処理を行うときには、前記番地情報に該当する前記データ記憶手段の番地から読み出されたワードデータを入力し、そのワードデータ中から前記ビット位置情報に基づいて 1 つのデータ要素を選択して出力し、

前記シフトレジスタは、インターリーブ処理を行うときには、既に格納されているビット列を順次 1 ビットシフトして前記データ選択拡張手段から順次出力される 1 ビットのデータ要素を順次格納し、この格納された前記ビット列が、少なくとも 1 ワードデータのビット幅以上である所定ビット幅となると、前記第二のデータの一部として前記データ記憶手段へ格納すること

を特徴とする請求項 11 記載のインターリーブ／デインターリーブ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、情報通信における送受信データのビット単位でのインターリーブ／デインターリーブ処理を行う方法及び装置に関するものである。

【0002】

【従来の技術】

従来のインターリーブ装置は、記憶手段から読み出されるデータがワード単位であるため、ワード単位のインターリーブを行っていた。しかしながら、ワード単位のインターリーブではバースト誤りが生じたとき、1ワードの中にいくつも誤りが含まれるという欠点があった。

【0003】

そのため、ビット単位でインターリーブを行う方法が提案されており、例えば、特許文献1がある。特許文献1記載のビット単位でのインターリーブ装置は、インターリーブ処理前のデータ要素を順番に読み出し、インターリーブ処理を行い、記憶手段にインターリーブ処理後のデータを格納する記憶領域に格納されているデータ（処理途中ではインターリーブ処理中間データとなる）との論理演算を実行し、その後、記憶手段の同一番地に格納し、以上の処理を繰り返し実行してインターリーブ処理を実現している。以下に図13と図14を用いて特許文献1記載のインターリーブ装置の構成と動作の説明を詳細に行う。

【0004】

図13は特許文献1記載のインターリーブ装置の概略図である。データ記憶手段10に格納された受信データは、第一のポインタ30により番地の順番で1ワードデータ毎に読み出され、レジスタ230のr1に格納される。その際、最上位ビットのデータ要素はラッチ240に格納される。

【0005】

アクセス情報供給手段20は、インターリーブ処理後のデータ要素を格納する番地情報とビット位置情報を、インターリーブ処理前の順番でアドレス記憶手段

21に記憶している。番地情報は第三のポインタ60に出力され、第三のポインタ60が示す番地から1ワードデータが読み出される。ビット位置情報は制御手段250へと出力され、制御手段250はラッチ240に格納されたデータ要素が値0であればビット位置情報の示すビット位置が値0でそれ以外のビットが値1となる1ワードデータを出力し、論理演算手段210は制御手段250の1ワードデータと第三のポインタ60が示す番地から読み出された1ワードデータとの論理積を取りr0へ格納する。一方ラッチ240に格納されたデータ要素が値1のとき制御手段250はビット位置情報の示すビット位置が値1でそれ以外のビットが値0となる1ワードデータを出力し、論理演算手段210は制御手段250の1ワードデータと第三のポインタ60が示す番地から読み出された1ワードデータとの論理和を取りr0へ格納する。r0に格納されたデータはデータ記憶手段10へと書き込まれる。このようにすることにより、第三のポインタ60が示す番地に格納された1ワードデータのうち、ビット位置情報に対応するビットのデータのみラッチ240に格納されたデータへと書き換えられ、データ記憶手段10へと上書きされる。

#### 【0006】

その後、r1のデータを1ビット上位へシフトしてr1へ再格納し、最上位ビットのデータ要素をラッチ240に格納して上記手続きを繰り返す。r1に格納した1ワード分のデータ要素全てについて完了したら、再度第一のポインタ30が示す番地から1ワードデータを読み出し、上記手続きを繰り返す。全ての受信データに対して完了した時点でインターリーブ処理が終了したことになる。

#### 【0007】

図14は従来の技術におけるプログラム説明図である。step0では第三のポインタ60にアクセス情報供給手段20が供給する番地情報を設定する。step1では第一のポインタ30が示す番地の1ワードデータをr1に格納し、最上位ビットのデータ要素をラッチ240に格納し、第一のポインタ30を1インクリメントする。step2では繰り返し回数として1ワードのビット幅の数だけ処理が繰り返されるように設定する。step3ではデータ記憶手段10の第三のポインタ60が示す番地に格納されている1ワードデータを読み出し、ビッ

ト位置情報が示すビット位置にラッチ 240 が保持するデータ要素をセットして r0 に格納し、第二のポインタ 22 を 1 インクリメントする。step 4 は r0 の 1 ワードデータをデータ記憶手段 10 の第三のポインタ 60 が示す番地に転送する。step 5 は r1 を上位側に 1 ビットシフトして r1 に格納し、最上位ビットのデータ要素をラッチ 240 に格納し、第三のポインタ 60 に次の番地情報を設定し、繰り返し回数以内であれば step 3 に戻り、繰り返し回数を越えていれば step 6 の処理を引き続き実行する。step 6 は全てのデータ要素に対してインターリーブ処理が施されていないならば step 1 に戻り、施されているならばプログラムを終了する。以上のような処理ステップでプログラムは構成される。

#### 【0008】

なお、デインターリーブ処理は、アドレス記憶手段 21 に記憶された番地情報、ビット情報がインターリーブ処理と異なるだけであり、上記と同様の手順で行われる。

#### 【0009】

##### 【特許文献 1】

特許第 2999101 号公報（第 3-6 頁、第一図）

#### 【0010】

##### 【発明が解決しようとする課題】

しかしながら、従来の技術ではインターリーブ処理後のデータ要素をデータ記憶手段 10 に格納する番地、ビット位置が連続しないために 1 つのデータ要素を格納するために、格納先の番地のインターリーブ処理中間データと論理演算を実行する必要がある、またデータ要素が値 0 か値 1 を持つかにより論理演算手段 210 による処理を切り替えなければならず、回路規模の増加、論理演算処理の複雑化の問題があった。また、1 ビットのデータをインターリーブする毎に 1 ワードのデータをデータ記憶手段 10 に書き込む必要があり、プログラム処理ステップの増加、トータルとしての処理ステップ数の増加といった問題があった。

#### 【0011】

また、デインターリーブ処理の場合も、アドレス記憶手段 21 に記憶された番

地情報、ビット情報がインターリーブ処理と異なるだけなので、上記と同様の問題があった。

#### 【0012】

更に、従来の技術ではインターリーブ処理とデインターリーブ処理を切り替えるためにはその度に番地情報、ビット位置情報を書き換える必要があるという問題があった。

#### 【0013】

本発明は、複雑な論理演算処理を回避し、回路規模の削減および処理ステップ数の削減が可能となるインターリーブ／デインターリーブ方法及び装置を提供することを目的とし、さらには、インターリーブ処理とデインターリーブ処理を切り替えるために番地情報およびビット位置情報の書き換えを不要にできるインターリーブ／デインターリーブ装置を提供することを目的とする。

#### 【0014】

##### 【課題を解決するための手段】

本発明の請求項1記載のインターリーブ／デインターリーブ方法は、データ記憶手段に格納された第一のデータをデータ要素の並びが異なる第二のデータへとインターリーブ／デインターリーブ処理するインターリーブ／デインターリーブ方法であって、データ記憶手段から第一のデータの一部であるワードデータを読み出す第一のステップと、読み出された該ワードデータ中から処理対象となるデータ要素を選択出力する第二のステップとを繰り返し、この繰り返されるときの処理対象となるデータ要素の順番が、第二のデータのデータ要素の並びに従って定められることを特徴とする。

#### 【0015】

また、請求項2記載のインターリーブ／デインターリーブ方法は、データ記憶手段に格納された第一のデータを1ビット単位のデータ要素の並びが異なる第二のデータへとインターリーブ／デインターリーブ処理するインターリーブ／デインターリーブ方法であって、データ記憶手段から第一のデータの一部であるワードデータを読み出す第一のステップと、読み出された該ワードデータ中から処理対象となるデータ要素を選択出力する第二のステップと、シフトレジスタに既に

格納されているビット列を1ビットシフトして、選択出力されたデータ要素をシフトレジスタに格納する第三のステップとを所定数繰り返した後、シフトレジスタに格納されているビット列をデータ記憶手段に格納する第四のステップを有し、第一から第三のステップが繰り返されるとき処理対象となるデータ要素の順番が、第二のデータのデータ要素の並びに従って定められることを特徴とする。

#### 【0016】

また、請求項3記載のインターリーブ／デインターリーブ方法は、データ記憶手段に格納された第一のデータをデータ要素の並びが異なる第二のデータへとインターリーブ／デインターリーブ処理するインターリーブ／デインターリーブ方法であって、データ記憶手段における第二のデータが格納される領域を初期化するステップと、第一のデータの一部であるワードデータを第一のデータのデータ要素の並びに従ってデータ記憶手段から読み出しシフトレジスタに格納するステップと、シフトレジスタに格納されたワードデータを最上位のビット位置に位置するデータ要素から順にシフトアウト出力するステップと、シフトアウト出力されたデータ要素を、第二のデータとしてのワードデータ中のビット位置に位置するようにしてワードデータに拡張し第一のワードデータを生成するステップと、シフトアウト出力されたデータ要素を格納すべきデータ記憶手段の番地に格納されたワードデータを第二のワードデータとして読み出すステップと、第一のワードデータと第二のワードデータとの論理和をとるステップと、論理和をデータ記憶手段における第二のワードデータが読み出された番地へと格納するステップとを含むことを特徴とする。

#### 【0017】

本発明の請求項4記載のインターリーブ／デインターリーブ装置は、第一のデータをデータ要素の並びが異なる第二のデータへとインターリーブ／デインターリーブ処理するインターリーブ／デインターリーブ装置であって、第一のデータを格納するデータ記憶手段と、第一のデータの一部であるワードデータのデータ記憶手段における番地情報と、処理対象となるデータ要素の該ワードデータ中におけるビット位置情報とを順次供給するアクセス情報供給手段と、番地情報に該当するデータ記憶手段の番地から読み出されたワードデータを入力し、そのワー

ドデータ中からビット位置情報に基づいて1つのデータ要素を選択して出力するデータ選択手段とを備え、アクセス情報供給手段が順次供給する番地情報及びビット位置情報は、第二のデータのデータ要素の並びに従って定められることを特徴とする。

#### 【0018】

また、請求項5記載のインターリーブ／デインターリーブ装置は、請求項4記載のインターリーブ／デインターリーブ装置において、データ要素は1ビットを単位としており、既に格納されているビット列を順次1ビットシフトしてデータ選択手段から順次出力される1ビットのデータ要素を順次格納するシフトレジスタをさらに備えており、シフトレジスタに格納されたビット列が、少なくとも1ワードデータのビット幅以上である所定ビット幅となると、第二のデータの一部としてデータ記憶手段へ格納することを特徴とする。

#### 【0019】

また、請求項6記載のインターリーブ／デインターリーブ装置は、請求項4記載のインターリーブ／デインターリーブ装置において、データ選択手段はシフタで構成されており、選択するデータ要素が特定のビット位置に位置するようにデータ記憶手段から読み出されたワードデータをシフトさせ、シフト後の特定のビット位置からの出力をデータ選択手段の出力とすることを特徴とする。

#### 【0020】

また、請求項7記載のインターリーブ／デインターリーブ装置は、第一のデータをデータ要素の並びが異なる第二のデータへとインターリーブ／デインターリーブ処理するインターリーブ／デインターリーブ装置であって、第一のデータと第二のデータとを格納するデータ記憶手段と、第二のデータの一部であるワードデータのデータ記憶手段における番地情報と、処理対象となるデータ要素の該ワードデータ中におけるビット位置情報とを供給するアクセス情報供給手段と、第一のデータのデータ要素の並びに従ってデータ記憶手段から読み出された第一のデータの一部であるワードデータを格納し、最上位のビット位置に位置するデータ要素から順にシフトアウト出力するシフトレジスタと、ビット位置情報を基に、シフトレジスタから順にシフトアウト出力されたデータ要素を順次ワードデー

タに拡張して出力するデータ拡張手段と、番地情報に該当するデータ記憶手段の番地から読み出されたワードデータとデータ拡張手段から出力されたワードデータとの論理和をとり、該論理和を出力する論理和手段とを備え、論理和手段が出力する論理和をデータ記憶手段のワードデータが読み出された番地情報に該当する番地へ格納し、アクセス情報供給手段が順次供給する番地情報及びビット位置情報は、第一のデータのデータ要素の並びに従って定められることを特徴とする。

#### 【0021】

また、請求項8記載のインターリーブ／デインターリーブ装置は、請求項7記載のインターリーブ／デインターリーブ装置において、データ拡張手段はシフタで構成されており、シフトレジスタからシフトアウト出力されたデータ要素がビット位置情報に対応したビット位置に位置するようにシフトを行い、ビット位置情報に対応したビット位置より上位のビットに関しては0拡張し、下位のビットに関しては0埋めをして、ワードデータとして出力することを特徴とする。

#### 【0022】

また、請求項9記載のインターリーブ／デインターリーブ装置は、第一のデータをデータ要素の並びが異なる第二のデータへとインターリーブ／デインターリーブ処理するインターリーブ／デインターリーブ装置であって、第一のデータと第二のデータとを格納するデータ記憶手段と、番地情報とビット位置情報とを供給するアクセス情報供給手段とを備えており、番地情報は、インターリーブ処理を行うときには、第二のデータの一部であるワードデータのデータ記憶手段における番地となり、デインターリーブ処理を行うときには、第一のデータの一部であるワードデータのデータ記憶手段における番地となり、ビット位置情報は、インターリーブ処理を行うときには、第二のデータの一部であるワードデータ中における処理対象となるデータ要素のビット位置を示し、デインターリーブ処理を行うときには、第一のデータの一部であるワードデータ中における処理対象となるデータ要素のビット位置を示すことを特徴とする。

#### 【0023】

また、請求項10記載のインターリーブ／デインターリーブ装置は、請求項9



記載のインターリーブ／デインターリーブ装置において、インターリーブ処理を行うときに、第一のデータのデータ要素の並びに従ってデータ記憶手段から読み出された第一のデータの一部であるワードデータを格納し、最上位のビット位置に位置するデータ要素から順にシフトアウト出力するシフトレジスタと、インターリーブ処理を行うときに、ビット位置情報を基に、シフトレジスタから順にシフトアウト出力されたデータ要素を順次ワードデータに拡張して出力するデータ選択拡張手段と、インターリーブ処理を行うときに、番地情報に該当するデータ記憶手段の番地から読み出されたワードデータとデータ選択拡張手段から出力されたワードデータとの論理和をとり、該論理和を出力する論理和手段とを設け、論理和手段が出力する論理和をデータ記憶手段のワードデータが読み出された番地情報に該当する番地へ格納し、データ選択拡張手段は、デインターリーブ処理を行うときには、番地情報に該当するデータ記憶手段の番地から読み出されたワードデータを入力し、そのワードデータ中からビット位置情報に基づいて1つのデータ要素を選択して出力し、シフトレジスタは、デインターリーブ処理を行うときには、既に格納されているビット列を順次1ビットシフトしてデータ選択拡張手段から順次出力される1ビットのデータ要素を順次格納し、この格納されたビット列が、少なくとも1ワードデータのビット幅以上である所定ビット幅となると、第二のデータの一部としてデータ記憶手段へ格納することを特徴とする。

#### 【0024】

また、請求項11記載のインターリーブ／デインターリーブ装置は、第一のデータをデータ要素の並びが異なる第二のデータへとインターリーブ／デインターリーブ処理するインターリーブ／デインターリーブ装置であって、第一のデータと第二のデータとを格納するデータ記憶手段と、番地情報とビット位置情報とを供給するアクセス情報供給手段とを備えており、番地情報は、デインターリーブ処理を行うときには、第二のデータの一部であるワードデータのデータ記憶手段における番地となり、インターリーブ処理を行うときには、第一のデータの一部であるワードデータのデータ記憶手段における番地となり、ビット位置情報は、デインターリーブ処理を行うときには、第二のデータの一部としての該ワードデータ中における処理対象となるデータ要素のビット位置を示し、インターリーブ

処理を行うときには、第一のデータの一部としての該ワードデータ中における処理対象となるデータ要素のビット位置を示すことを特徴とする。

【0025】

、また、請求項12記載のインターリーブ／デインターリーブ装置は、請求項11記載のインターリーブ／デインターリーブ装置において、デインターリーブ処理を行うときに、第一のデータのデータ要素の並びに従ってデータ記憶手段から読み出された第一のデータの一部であるワードデータを格納し、最上位のビット位置に位置するデータ要素から順にシフトアウト出力するシフトレジスタと、デインターリーブ処理を行うときに、ビット位置情報を基に、シフトレジスタから順にシフトアウト出力されたデータ要素を順次ワードデータに拡張して出力するデータ選択拡張手段と、デインターリーブ処理を行うときに、番地情報に該当するデータ記憶手段の番地から読み出されたワードデータとデータ選択拡張手段から出力されたワードデータとの論理和をとり、該論理和を出力する論理和手段とを設け、論理和手段が出力する論理和をデータ記憶手段のワードデータが読み出された番地情報に該当する番地へ格納し、データ選択拡張手段は、インターリーブ処理を行うときには、番地情報に該当するデータ記憶手段の番地から読み出されたワードデータを入力し、そのワードデータ中からビット位置情報に基づいて1つのデータ要素を選択して出力し、シフトレジスタは、インターリーブ処理を行うときには、既に格納されているビット列を順次1ビットシフトしてデータ選択拡張手段から順次出力される1ビットのデータ要素を順次格納し、この格納されたビット列が、少なくとも1ワードデータのビット幅以上である所定ビット幅となると、第二のデータの一部としてデータ記憶手段へ格納することを特徴とする。

【0026】

本発明の第一の発明（請求項1、2、4、5、6）では、インターリーブ／デインターリーブ処理前ではなく、インターリーブ／デインターリーブ処理後のデータ要素の並びを考慮した順序で、データ要素を単位としたインターリーブ／デインターリーブ処理が行われる。この方法によると処理後のデータを何の処理も施すことなく、順に出力していくことが可能なので、従来の技術で必要な論理演

算処理が不要となり、回路規模の削減、プログラム処理ステップ及びトータル処理ステップ数の削減が可能となる。インターリーブ／デインターリーブ処理を行うデータ要素の順番は、データ記憶手段における第一のデータの一部であるワードデータが格納されている番地を示す番地情報、ワード手段内のビット位置を示すビット位置情報を供給するアクセス情報供給手段に保持されている。

#### 【0027】

また、処理後の第二のデータをいったんデータ記憶手段に格納するために少なくとも1ワードのデータ幅を持つシフトレジスタを備え、1ワード分のデータ要素を格納した後にデータ記憶手段に書き込むようにしてもよい。

#### 【0028】

次に本発明の第二の発明（請求項3、7、8）では、従来例と同様に、インターリーブ／デインターリーブ処理前のデータ要素の順番でインターリーブ／デインターリーブ処理が行われ、アクセス情報供給手段が供給する番地情報及びビット位置情報は、第二のデータとしてのワードデータが格納されるべき番地及びビット位置を示すものとなる。しかしながら、インターリーブ／デインターリーブ処理後のデータを格納すべき領域をあらかじめ初期化することにより、データの拡張方法を一律に“該当データ要素が出力されるビット位置以外は値0にする”とすることができ、更に論理演算処理を論理和処理に限定することができるので、従来の技術に比べ論理演算処理の簡単化と回路規模の削減とトータル処理ステップ数の削減が可能となる。

#### 【0029】

更に本発明の第三の発明（請求項9～12）では、先に記述した第一、第二の発明における構成手段を共有化するように構成する。インターリーブ処理とデインターリーブ処理はデータ要素配置に関して逆変換の関係にある。このため、第一の発明と第二の発明において、アクセス情報供給手段に同じ番地情報とビット位置情報を持たせた場合、一方がインターリーブ処理、他方がデインターリーブ処理を実行することができる。よって、本発明の構成をとることにより、従来の技術、第一の発明と第二の発明では、インターリーブ処理とデインターリーブ処理を切り替えるために番地情報、ビット位置情報を書き換える処理が必要であっ

たが本第三の発明ではその必要がなくなる。

#### 【0030】

##### 【発明の実施の形態】

本発明の実施の形態について図面を参照しながら説明する。

#### 【0031】

##### (第一の実施の形態)

第一の実施の形態のインターリーブ／デインターリーブ装置の概略図を図1に示す。簡単のためデインターリーブ処理の前提で説明する。

#### 【0032】

データ記憶手段10はインターリーブ処理された受信データを保持しており、第一のポインタ30が示す番地にリード／ライトアクセス可能である。

#### 【0033】

アクセス情報供給手段20はアドレス記憶手段21と第二のポインタ22から構成され、アドレス記憶手段21は、受信データをデインターリーブ処理した後のデータ要素の並びを考慮した順番で、受信データの要素にアクセスするための番地情報とビット位置情報をアドレス記憶手段21の番地順に保持しており、第二のポインタ22の示す番地に保持している番地情報とビット位置情報を出力する。第二のポインタ22は初期にアドレス記憶手段21の先頭番地を示し、処理毎に1インクリメントされる。このようにしてアクセス情報供給手段20はデータ記憶手段10の番地情報を第一のポインタ30に出力し、ビット位置情報を後述するデータ選択手段40に出力する。

#### 【0034】

データ選択手段40はデータ記憶手段10から読み出された1ワードデータのうちビット位置情報が示すビット位置のデータ要素を選択し出力する。このようにして連続的に処理されたビット列は既にデインターリーブ処理後のデータ列になっており、そのまま外部のデータ復号手段100へと供給される。

#### 【0035】

図2は第一の実施の形態においてデインターリーブ処理後のデータをデータ記憶手段10に格納する機能を具備した際の概略図である。上述したデータ復号手

段100が動作タイミングや処理手続きなどの関係でデインターリーブ後のデータを時系列に処理できないような場合、一旦記憶手段に格納する必要がある。シフトレジスタ50は既に格納しているデータ要素を上位へ1ビットシフトして、データ選択手段40が出力する新たなデータ要素を最下位ビットに格納する。これを繰り返して1ワード分のデータが蓄えられた後にデータ記憶手段10へ出力する。第三のポインタ60は初期にデインターリーブ処理後のデータが格納される記憶領域の先頭番地を示し、シフトレジスタ50の出力する1ワードデータをデータ記憶手段10の該当番地に格納した際に、保持する番地情報を1インクリメントして次の番地を示すように更新される。

#### 【0036】

図5はデインターリーブ処理時にデータ記憶手段10に格納される処理前後のデータ要素の配置を示す説明図である。ここで簡単のために、1ワードのビット幅を8ビット、デインターリーブ処理が施されるデータ幅を32ビット、受信データはブロックインターリーブでデータの列方向を行方向に変換することによりインターリーブ処理されているものとする。従って、デインターリーブ処理はデータの行方向を列方向に変換することにより行われる。また、受信データはデータ記憶手段10の100番地以降に格納され、デインターリーブ処理後のデータは300番地以降に格納されるものとし、受信データは先頭のデータ要素から順にd0、d1、d2・・・d31とする。更に、実際の記憶手段では物理的行方向には複数ワード（複数番地）が並ぶが、ここでは簡単のために1行1ワード（1番地）としている。

#### 【0037】

ここで、従来と同様に、デインターリーブ処理前のデータ要素の順番にd0、d1、d2・・・とデインターリーブ処理を施す場合、それぞれ格納先はデータ記憶手段10の300番地ビット7、301番地ビット7、302番地ビット7、303番地ビット7・・・となり、ワード単位でデータ記憶手段10に書き込むためには前処理が必要になることが分かる。

#### 【0038】

そこで、デインターリーブ処理を施すデータ要素の順番を処理後の並びを考慮

して d 0、d 4、d 8・・・とデインターリーブ処理すると、処理後のデータ要素を図 1 の場合にはそのままデータ復号手段 100 に供給することも可能であり、図 2 のようにデータ記憶手段 10 に格納する場合においてもそれぞれ格納先は 300 番地ビット 7、300 番地ビット 6、300 番地ビット 5・・・となり、シフトレジスタ 50 に順番に格納し 1 ワード分のデータ要素を格納した後に、その 1 ワードデータをデータ記憶手段 10 の 300 番地に書き込めばよいことが分かる。

#### 【0039】

図 6 はデインターリーブ処理時にアクセス情報供給手段 20 を構成するアドレス記憶手段 21 の保持する番地情報とビット位置情報の説明図である。第二のポインタ 22 は初期にアドレス記憶手段 21 の 0 番地を示し、アクセス情報供給手段 20 はデータ記憶手段 10 の番地情報 100 を第一のポインタ 30 に出力し、ビット位置情報として値 b i t 7 を出力し、第二のポインタ 22 は次の 1 番地を示すように更新される。このようにして第一のポインタ 30 は 100 番地を示し、データ記憶手段 10 からは 100 番地に格納されている 1 ワードデータ [d 0, d 1, d 2, d 3, d 4, d 5, d 6, d 7] が読み出される。データ選択手段 40 はビット位置情報の値 b i t 7 を参照して、d 0 を選択し出力する。以下、同様にしてアドレス記憶手段 21 に格納している番地情報、ビット位置情報に従って d 4、d 8、d 12・・・とデインターリーブ処理されたデータ要素が順番に出力される。データ記憶手段 10 に格納するにはこれらのデータ要素をシフトレジスタ 50 に格納し、1 ワード分格納した後にデータ記憶手段 10 に書き込めばよい。その際、第三のポインタ 60 は初期にデータ記憶手段 10 の 300 番地を示し、300 番地にデータが書き込まれた後に 301 番地を示すように更新される。

#### 【0040】

なお、データ選択手段 40 は、データ記憶手段 10 から読み出された 1 ワードデータをビット位置情報が示すビット位置の値だけ最下位ビット方向にシフトし、必要なデータ要素が常に出力データの最下位ビットに位置するようにして、その最下位ビットをデータ復号手段 100 やシフトレジスタ 50 に供給するように

シフトを用いて構成してもよい。

#### 【0041】

以上のようにして第一の実施の形態においてデインターリーブ処理を実行することが出来る。なお、インターリーブ処理はデインターリーブ処理の逆処理であるので、番地情報とビット位置情報がデインターリーブ処理と異なるのみであり、同様の手順でインターリーブ処理を実行することも可能である。

#### 【0042】

図7はインターリーブ処理時にデータ記憶手段10に格納される処理前後のデータ要素の配置を示す説明図である。インターリーブ前のデータが100番地以降に、インターリーブ後のデータが300番地以降に書き込まれている。インターリーブ処理であるので、データの列方向が行方向に変換されている。

#### 【0043】

図8はインターリーブ処理時にアクセス情報供給手段20を構成するアドレス記憶手段21の保持する番地情報とビット位置情報の説明図である。インターリーブ後の並びを考慮に入れて、番地情報とビット位置情報は決められている。

#### 【0044】

なお、ここではアクセス情報供給手段20をアドレス記憶手段21と第二のポインタ22で構成したが、図6、図8を見て分かるように番地情報、ビット位置情報共に一定の規則に従って変化するのでデータ要素に対する処理の回数をカウントして番地情報、ビット位置情報を生成するようにしてもよい。

#### 【0045】

図11は第一の実施の形態におけるプログラム説明図である。step0では第一のポインタ30にアクセス情報供給手段20が供給する番地情報を設定し、第二のポインタ22を1インクリメントする。

#### 【0046】

step1では繰り返し回数として1ワードのビット幅の数だけ処理が繰り返されるように設定する。

#### 【0047】

step2ではデータ記憶手段10の第三のポインタ60が示す番地に格納さ

れている 1 ワードデータを読み出し、データ選択手段 40 にてビット位置情報が示すビット位置のデータ要素を選択しシフトレジスタ 50 へ出力し、第一のポインタ 30 にアクセス情報供給手段 20 が供給する次の番地情報を設定し、第二のポインタ 22 を 1 インクリメントし、繰り返し回数以内であれば step 2 のはじめに戻り、繰り返し回数を越えていれば次の step 3 の処理を引き続き実行する。

#### 【0048】

step 3 ではシフトレジスタ 50 の 1 ワードデータをデータ記憶手段 10 の第三のポインタ 60 が示す番地に転送し、第三のポインタ 60 を 1 インクリメントする。

#### 【0049】

step 4 では全てのデータ要素に対してデインターリーブ／インターリーブ処理が施されていないければ step 1 に戻り、施されていればプログラムを終了する。以上のような処理ステップでプログラムは構成される。

#### 【0050】

なお、図 11 では図 2 の構成の場合について説明しているが、第三のポインタ 60 およびシフトレジスタ 50 を設けず、データ選択手段 40 からの出力データをデータ記憶手段 10 に書き込まない場合には、図 11 において step 3 がないだけであり、step 2 の次に step 4 となる。ただしこの場合、step 2 でデータ選択手段 40 にて選択されるデータ要素は、シフトレジスタ 50 ではなく、外部（図 1 の例ではデータ復号手段 100）へ出力されることになる。

#### 【0051】

図 11 を図 14 に示した従来の技術におけるプログラム説明図と比較すると、処理ステップが 2 つ少ないことが分かる。更に、本第一の実施の形態においては 1 ワード分のデータをインターリーブ／デインターリーブ処理するのに、step 2 を 1 ワードのビット幅分繰り返すだけであるが、従来の技術では step 3 → step 4 → step 5 の繰り返しとなりトータル処理ステップ数では処理データの規模に比例して更に削減できることが分かる。

#### 【0052】



このようにして、第一の実施の形態においてはデータアクセスを工夫することにより、従来の技術と比べて論理演算手段の不要化による回路規模の削減や、プログラム処理ステップ及びトータル処理ステップ数の削減が可能となる。

#### 【0053】

(第二の実施の形態)

第二の実施の形態のインターリーブ／デインターリーブ装置の概略図を図3に示す。簡単のため先と同様にデインターリーブ処理の前提で説明する。

#### 【0054】

データ記憶手段10はインターリーブ処理された受信データを保持しており、デインターリーブ後のデータが格納される記憶領域は値0で初期化されており、第一のポインタ30と第三のポインタ60が示す番地にリード／ライトアクセス可能である。

#### 【0055】

アクセス情報供給手段20はアドレス記憶手段21と第二のポインタ22から構成され、アドレス記憶手段21は受信データのデータ要素の並びを考慮した順番で、処理後のデータ要素を格納するための番地情報とビット位置情報をアドレス記憶手段21の番地順に保持しており、第二のポインタ22の示す番地に保持している番地情報とビット位置情報を出力し、第二のポインタ22は初期にアドレス記憶手段21の先頭番地を示し、処理毎に1インクリメントされる。このようにしてアクセス情報供給手段20はデータ記憶手段10の番地情報を第三のポインタ60に出力し、ビット位置情報を後述するデータ拡張手段70に出力する。

#### 【0056】

第一のポインタ30の示す番地から読み出された受信データの1ワードデータはシフトレジスタ50に格納される。シフトレジスタ50は格納したデータを上位側へ1ビットずつシフトしながら、データ要素をデータ拡張手段70に供給する。

#### 【0057】

データ拡張手段70はビット位置情報の示すビット位置にシフトレジスタ50

の出力するデータ要素を配置し、それ以外のビットには値0を配置した1ワードデータを出力する。

#### 【0058】

論理和手段80は第三のポインタ60の示す番地から読み出した1ワードデータとデータ拡張手段70の出力である1ワードデータの論理和を取る。データ記憶手段10は論理和手段80の出力する1ワードデータを第三のポインタ60が示す番地に格納する。

#### 【0059】

図9はデインターリーブ処理時にアクセス情報供給手段20を構成するアドレス記憶手段21の保持する番地情報とビット位置情報の説明図である。第二のポインタ22は初期にアドレス記憶手段21の0番地を示し、アクセス情報供給手段20はデータ記憶手段10の番地情報300を第三のポインタ60に出力し、ビット位置情報として値bit7を出力し、第二のポインタ22は次の1番地を示すように更新される。第一のポインタ30は初期に100番地を示し、データ記憶手段10の100番地（図5参照）から1ワードデータ[d0, d1, d2, d3, d4, d5, d6, d7]が読み出された後で101番地を示すように更新される。100番地から読み出された1ワードデータはシフトレジスタ50に格納され、シフトレジスタ50はデータをシフトアウトすることにより、d0、d1、d2、・・・の順番でデータ拡張手段70に供給する。

#### 【0060】

データ拡張手段70は供給されたデータ要素d0とビット位置情報の値bit7からビット7にデータ要素d0を配置し、それ以外のビットは値0である1ワードデータ[d0, 0, 0, 0, 0, 0, 0, 0]を生成し出力する。第三のポインタ60は番地情報に基づいて300番地を示し、データ記憶手段10からは300番地に格納されている初期化後の1ワードデータ[0, 0, 0, 0, 0, 0, 0, 0]が読み出される。論理和手段80は1ワードデータ[0, 0, 0, 0, 0, 0, 0, 0]と[d0, 0, 0, 0, 0, 0, 0, 0]の論理和を取り1ワードデータ[d0, 0, 0, 0, 0, 0, 0, 0]を出力する。データ記憶手段10は論理和手段80の出力するデータを第三のポインタ60が示す300

番地に格納し、第三のポインタ 60 は次の番地情報に基づいて 301 番地を示すように更新される。

#### 【0061】

なお、データ拡張手段 70 はシフトレジスタ 50 から供給されるデータ要素をビット位置情報が示すビット位置の値だけ最上位ビット方向にシフトし、データ要素より上位ビットには 0 拡張、下位ビットには 0 埋めを行い、1 ワードデータとして出力するようにシフタを用いて構成してもよい。

#### 【0062】

以上のようにして第二の実施の形態においてデインターリーブ処理を実行することが出来る。また、インターリーブ処理は、番地情報とビット位置情報がデインターリーブ処理と異なるのみであり、同様の手順でインターリーブ処理を実行することも可能である。

#### 【0063】

図 10 は第二の実施の形態においてインターリーブ処理時にアクセス情報供給手段 20 を構成するアドレス記憶手段 21 の保持する番地情報とビット位置情報の説明図である。

#### 【0064】

なお、ここではアクセス情報供給手段 20 をアドレス記憶手段 21 と第二のポインタ 22 で構成したが、図 9、図 10 を見て分かるように番地情報、ビット位置情報共に一定の規則に従って変化するのでデータ要素に対する処理の回数をカウントして番地情報、ビット位置情報を生成するようにしてもよい。

#### 【0065】

図 12 は第二の実施の形態におけるプログラム説明図である。データ記憶手段 10 の処理後のデータが格納される記憶領域（以下、処理後データ格納領域という）の初期化を実行するステップは `step 0` と `step 1` である。

#### 【0066】

`step 0` では処理後データ格納領域が全て初期化されるように初期化の繰り返し回数（1）を設定し、第三のポインタ 30 にアクセス情報供給手段 20 が供給する番地情報を設定する。ここで設定される番地情報は処理後データ格納領域

の先頭番地である。

【0067】

s t e p 1ではデータ記憶手段10の第三のポインタ60が示す番地（1ワードデータ記憶領域）に0を格納し、第三のポインタ60を1インクリメントし、繰り返し回数（1）以内であればs t e p 1のはじめに戻り、繰り返し回数（1）を越えていれば次のs t e p 2の処理を実行する。

【0068】

s t e p 2では第三のポインタ30にアクセス情報供給手段20が供給する番地情報を設定し、第二のポインタ22を1インクリメントする。

【0069】

s t e p 3ではデータ記憶手段10の第一のポインタ30が示す番地に格納されている1ワードデータを読み出してシフトレジスタ50へ格納し、第一のポインタ30を1インクリメントする。

【0070】

s t e p 4では繰り返し回数（2）として1ワードのビット幅の数だけ処理が繰り返されるように設定する。

【0071】

s t e p 5ではデータ記憶手段10の第三のポインタ60が示す番地から読み出された1ワードデータを、論理和手段80にてデータ拡張手段70の出力である1ワードデータとの論理和をとって第三のポインタ60が示すデータ記憶手段10の番地に格納する。この格納される論理和手段80の出力は、データ記憶手段10の第三のポインタ60が示す番地から読み出された1ワードデータ（全てのデータ要素が0）のうちビット位置情報が示すビット位置にシフトレジスタ50の1ビット出力値をセットしたものとなる。そして、第三のポインタ30にアクセス情報供給手段20が供給する次の番地情報を設定し、第二のポインタ22を1インクリメントし、繰り返し回数（2）以内であればs t e p 5のはじめに戻り、繰り返し回数（2）を越えていれば次のs t e p 6の処理を実行する。

【0072】

s t e p 6では全てのデータ要素に対してデインターリーブ／インターリーブ

処理が施されていなければ step 3 に戻り、施されていればプログラムを終了する。以上のような処理ステップでプログラムは構成される。

#### 【0073】

図 12 を図 14 に示した従来の技術におけるプログラム説明図と比較すると、処理ステップは同じであることが分かる。以下ではトータル処理ステップ数を比較する。まず本第二の実施の形態においては初期化ステップが必要であり、そのステップ数は総データ要素数を 1 ワードのビット数で割った値が繰り返し回数になるので、この場合「 $2 \times 32 / 8 = 8$ 」となる。一方、各データ要素に処理を行うステップの繰り返し回数はそのまま総データ要素数になるので、本第二の実施の形態においては 32 となり、従来の技術では「 $3 \times 32 = 96$ 」となる。以上のことから、初期化ステップで処理ステップ数が増加しても、各データ要素への処理ステップ数が少なくなる効果の方が大きいので、従来の技術と比較してトータルステップ数を削減できることが分かる。

#### 【0074】

このようにして、第二の実施の形態においてはあらかじめ処理後のデータを格納する記憶領域を値 0 で初期化することにより、処理するデータ要素が値 0 か値 1 かによらずに、同じ手続きでデータの拡張ができ且つ論理演算処理を論理和処理に限定できる。よって従来の技術と比べて論理演算手段などが簡単化でき回路規模の削減が可能となる。またデータ記憶手段 10 の初期化ステップが必要となるため第一の実施の形態ほどの効果は無いが、トータル処理ステップ数の削減が可能となる。

#### 【0075】

##### (第三の実施の形態)

第三の実施の形態のデインターリーブ／インターリーブ装置の概略図を図 4 に示す。第一の実施の形態と第二の実施の形態の構成要素を共有化するように構成している。データ選択拡張手段 90 は第一の実施の形態におけるデータ選択手段 40 と第二の実施の形態におけるデータ拡張手段 70 の機能をあわせ持つように構成される。さらに、図 4 のシフトレジスタ 50 は、図 2 のシフトレジスタ 50 と図 3 のシフトレジスタ 50 の機能をあわせ持つように構成される。また、本実

施形態においては、インターリーブ処理を行うときにインターリーブ前のデータを記憶するデータ記憶手段 10 における領域とデインターリーブ処理を行うときにデインターリーブ後のデータを記憶するデータ記憶手段 10 における領域（番地範囲）として同一の領域（番地範囲）を用いるものとする。

#### 【0076】

インターリーブ処理を行うときには、第一の実施の形態と同様に、第一のポインタ 30 を介してアクセス情報供給手段 20 から供給される番地情報に対応する 1 ワードデータがデータ記憶手段 10 から読み出されてデータ選択拡張手段 90 に送られる。データ選択拡張手段 90 では、アクセス情報供給手段 20 から供給されるビット位置情報に対応するビットが選択され、選択されたビットはシフトレジスタ 50 の最下位ビットに格納される。そして第二のポインタ 22 がインクリメントされ、インターリーブ処理後の並びを考慮に入れた次のビットが処理される。シフトレジスタ 50 は 1 ビットシフトして、次のビットを最下位ビットに格納していく。1 ワードデータのインターリーブ処理が終わると、第三のポインタ 60 で指定された番地のデータ記憶手段 10 へと格納され、次のワードデータの処理が行われる。この場合、第三のポインタ 60 は、図示しない手段によって図 2 の場合と同様に制御されている。

#### 【0077】

また、デインターリーブ処理を行うときには、第 2 の実施の形態と同様に、第一のポインタ 30 で指定された番地の 1 ワードデータがデータ記憶手段 10 から読み出されてシフトレジスタ 50 に送られる。シフトレジスタ 50 は 1 ビットのデータをシフトアウトして、データ選択拡張手段 90 に供給する。データ選択拡張手段 90 は、アクセス情報供給手段 20 のビット位置情報の示すビット位置分だけ上位側にシフトし、該当するビット位置より上位ビットには 0 拡張し、下位ビットには 0 埋めを施して 1 ワードデータとして論理和手段 80 へと出力する。論理和手段 80 はデータ選択拡張手段 90 から出力された 1 ワードデータと、データ記憶手段 10 の第三のポインタ 60 で指定された番地の 1 ワードデータとの論理和をとり、データ記憶手段 10 の第三のポインタ 60 で指定された番地へと書き込む。この場合、第一のポインタ 30 は、図示しない手段によって図 3 の場

合と同様に制御されている。また、第三のポインタ 60 は、図 3 の場合と同様にアクセス情報供給手段 20 から供給される番地情報に応じた番地を指定する。

#### 【0078】

以上のように構成することにより、データ選択拡張手段 90 はデータ選択手段 40 とデータ拡張手段 70 の両機能を実現するとともに、図 4 のシフトレジスタ 50 は図 2 のシフトレジスタ 50 と図 3 のシフトレジスタ 50 の両機能を実現できる。このようにして第三の実施の形態は先に示した第一の実施の形態と第二の実施の形態で説明した両方の処理を実行することが出来る。

#### 【0079】

ここで、第一の実施の形態でデインターリーブ処理を実行する際にアドレス記憶手段 21 に格納する番地情報とビット位置情報を示す図 6 と第二の実施の形態でインターリーブ処理を実行する際にアドレス記憶手段 21 に格納する番地情報とビット位置情報を示す図 10 とを比較すると、第一の実施の形態では 100 番地台からデータを読み出し、第二の実施の形態では 300 番地台へとデータを書き込んでいるという違いはあるが、ビット位置の情報としては全く同じ設定である。同様のことは図 8 と図 9 を比較した場合にも言える。

#### 【0080】

すなわち、本実施形態においてインターリーブ処理を行うときのデータの読み出し先とデインターリーブ処理を行うときのデータの書き込み先を同じ領域（番地範囲）とし、第一の実施の形態と同様の処理でインターリーブ処理を行い、第二の実施の形態と同様の処理でデインターリーブ処理を行うことで、従来の技術、上記第一の実施の形態と第二の実施の形態のようにアドレス記憶手段がインターリーブ用とデインターリーブ用の二つのアドレス情報を記憶し、インターリーブ処理とデインターリーブ処理とでこれを切り替える必要はなくなる。したがって、アドレス記憶手段が記憶する情報量を少なくでき、回路規模の削減につながる。

#### 【0081】

なお、第三の実施の形態においては、インターリーブ処理を行うときのデータの読み出し先とデインターリーブ処理を行うときのデータの書き込み先を同じ領

域としているため、各々の処理を単独に行うときは問題ないが、インターリーブ処理とデインターリーブ処理を同時に行うことができない。この問題を解決するために、デインターリーブ処理を行うときだけ番地情報にオフセットをかけるようにしても良い。

#### 【0082】

例えば、第三の実施の形態におけるアドレス記憶手段が図8の番地情報とビット位置情報を記憶しているとする。すると、インターリーブ処理を行うときには100番地台からインターリーブ前のデータが読み出され、デインターリーブ処理を行うときには同じく100番地台へとデインターリーブ後のデータが書き込まれることとなる。当然、これを同時に行うことはできない。しかしながら、デインターリーブ処理を行うときには番地情報に200番地分のオフセットをかけるように構成しておくことにより、デインターリーブ後のデータは300番地台へと書き込まれるのでインターリーブ処理とデインターリーブ処理を同時に行うこともできる。この場合であっても、番地情報にオフセットをかけるだけなのでアドレス記憶手段がインターリーブ用、デインターリーブ用の二つのアドレス情報を記憶するよりも回路規模は小さくなる。なお、インターリーブ処理を行うときだけ番地情報にオフセットをかけるように構成しても良いことは言うまでもない。

#### 【0083】

なお、本発明は上記の実施の形態に限定されるものではない。例えば、各実施の形態に記載されたようなインターリーブ／デインターリーブ装置を備えなくとも、汎用プロセッサを用いて処理を行うものであっても良い。その場合であっても、図11、図12で説明したように処理ステップ数の削減といった効果を得ることができる。

#### 【0084】

##### 【発明の効果】

以上説明したように本発明によれば、処理後のデータ要素の並びを考慮してデータにアクセスするようにし、あるいはあらかじめ処理後のデータを格納する記憶領域を初期化するようにしたりすることにより、インターリーブ／デインター



リーブ方法及び装置の回路規模を削減し、処理ステップ数を削減し、インターリーブ／デインターリーブ処理を容易に切り替え実行できるようにすることが可能となる。

**【図面の簡単な説明】**

**【図 1】**

本発明の第一の実施の形態の第一例のインターリーブ／デインターリーブ装置の概略図

**【図 2】**

本発明の第一の実施の形態の第二例のインターリーブ／デインターリーブ装置の概略図

**【図 3】**

本発明の第二の実施の形態のインターリーブ／デインターリーブ装置の概略図

**【図 4】**

本発明の第三の実施の形態のインターリーブ／デインターリーブ装置の概略図

**【図 5】**

本発明の第一の実施の形態におけるデインターリーブ処理時のデータ要素の配置説明図

**【図 6】**

本発明の第一の実施の形態におけるデインターリーブ処理時のアドレス記憶手段の格納情報の説明図

**【図 7】**

本発明の第一の実施の形態におけるインターリーブ処理時のデータ要素の配置説明図

**【図 8】**

本発明の第一の実施の形態におけるインターリーブ処理時のアドレス記憶手段の格納情報の説明図

**【図 9】**

本発明の第二の実施の形態におけるデインターリーブ処理時のアドレス記憶手段の格納情報の説明図

**【図 10】**

本発明の第二の実施の形態におけるインターリーブ処理時のアドレス記憶手段  
の格納情報の説明図

**【図 11】**

本発明の第一の実施の形態におけるプログラム説明図

**【図 12】**

本発明の第二の実施の形態におけるプログラム説明図

**【図 13】**

従来技術の構成を示す概略図

**【図 14】**

従来技術におけるプログラム説明図

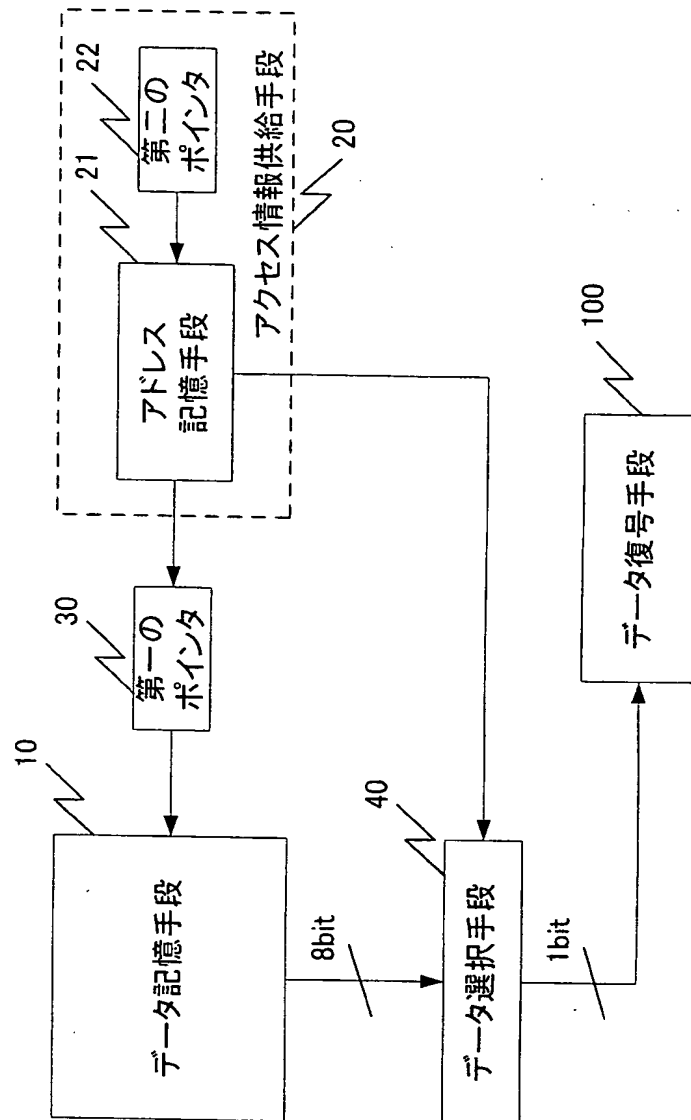
**【符号の説明】**

- 10     データ記憶手段
- 20     アクセス情報供給手段
- 21     アドレス記憶手段
- 22     第二のポインタ
- 30     第一のポインタ
- 40     データ選択手段
- 50     シフトレジスタ
- 60     第三のポインタ
- 70     データ拡張手段
- 80     論理和手段
- 90     データ選択拡張手段
- 200     マルチプレクサ
- 210     論理演算手段
- 220     1ビットシフタ
- 230     レジスタ
- 240     ラッチ
- 250     制御手段

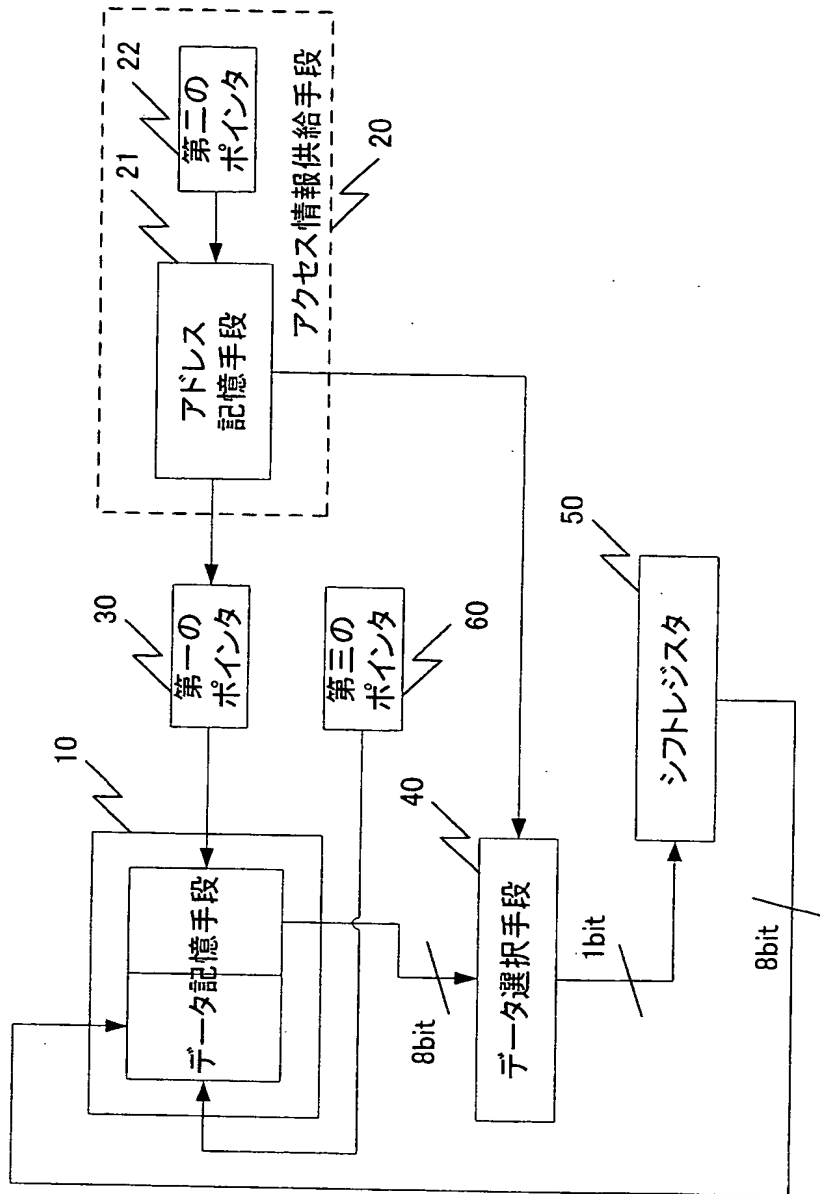
【書類名】

図面

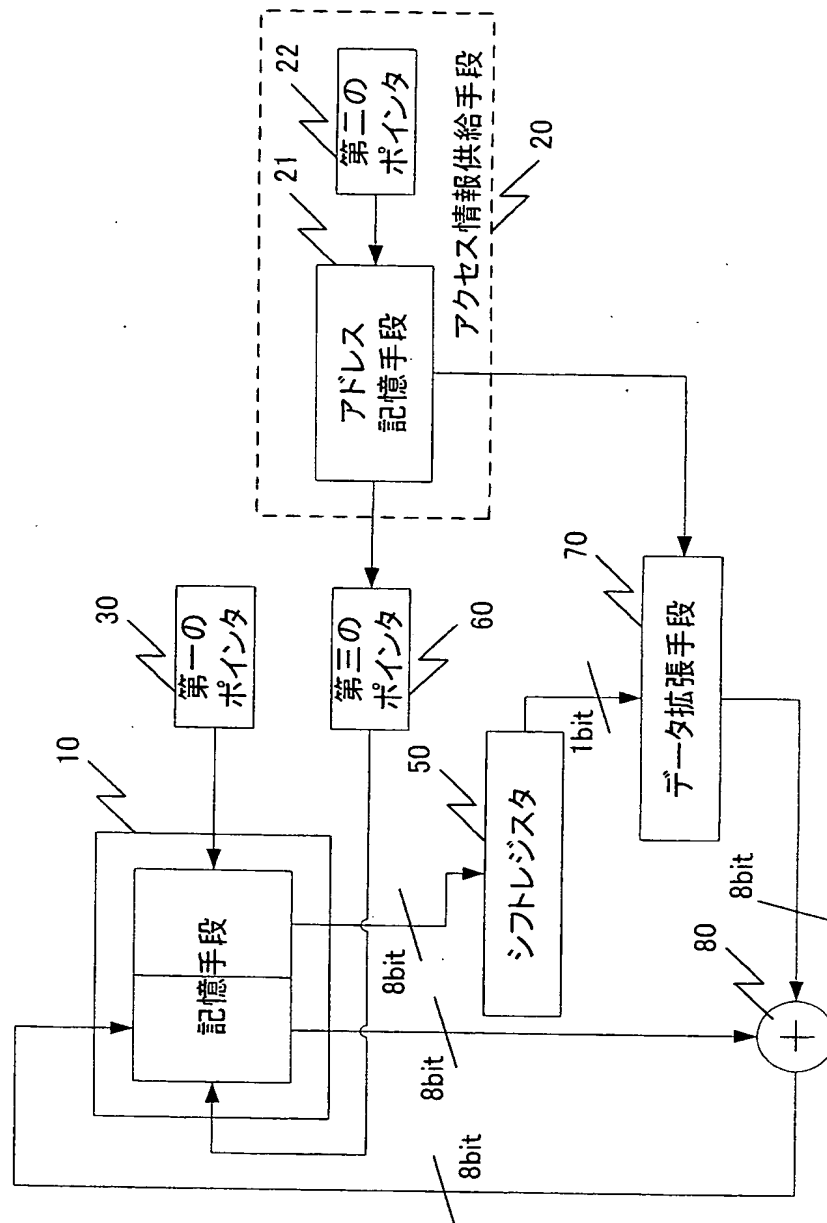
【図 1】



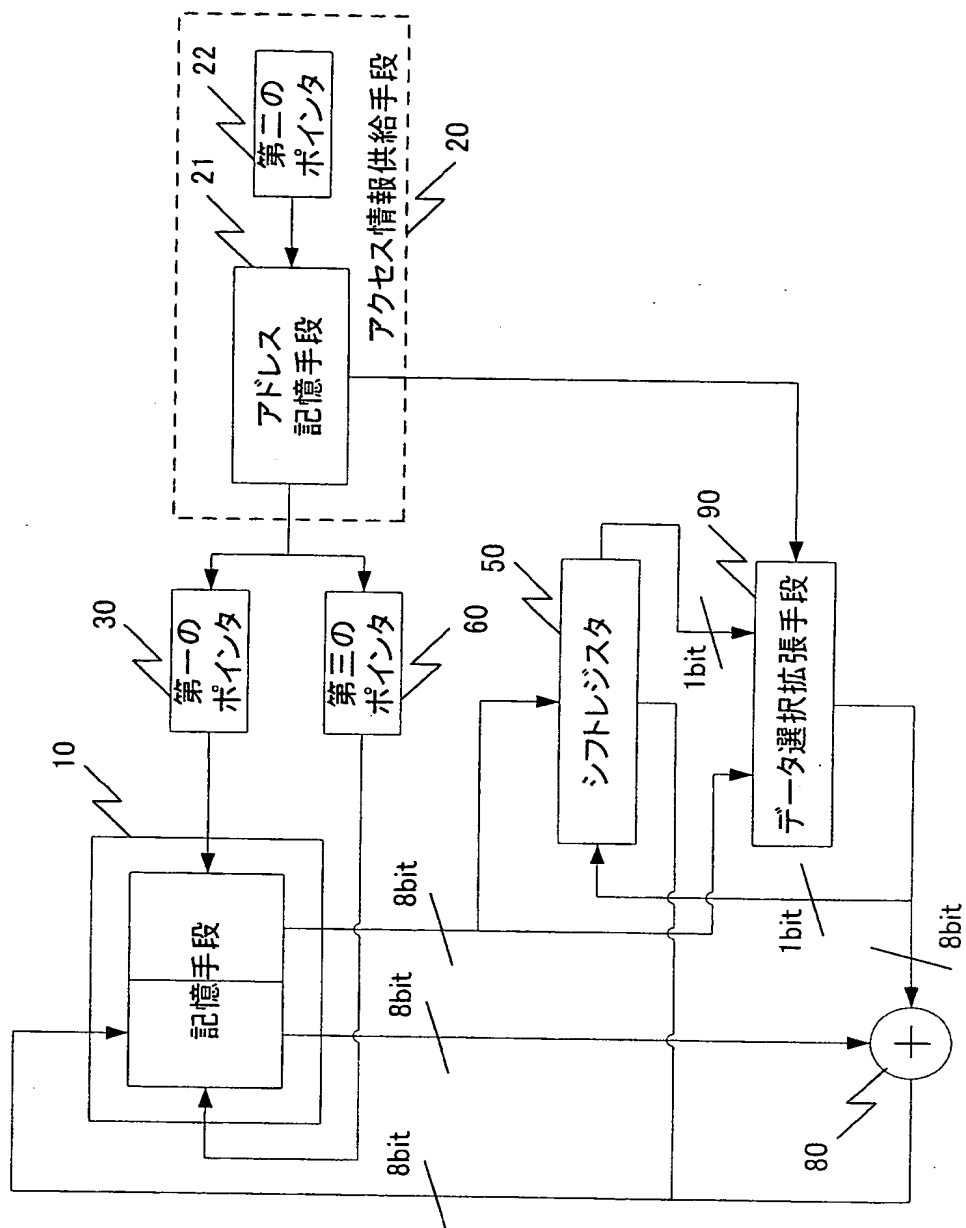
【図 2】



【図 3】



【図4】



【図 5】

番地	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
100	d0	d1	d2	d3	d4	d5	d6	d7
101	d8	d9	d10	d11	d12	d13	d14	d15
102	d16	d17	d18	d19	d20	d21	d22	d23
103	d24	d25	d26	d27	d28	d29	d30	d31
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
300	d0	d4	d8	d12	d16	d20	d24	d28
301	d1	d5	d9	d13	d17	d21	d25	d29
302	d2	d6	d10	d14	d18	d22	d26	d30
303	d3	d7	d11	d15	d19	d23	d27	d31

【図 6】

番地	番地情報	ビット位置情報
0	100	bit7
1	100	bit3
2	101	bit7
3	101	bit3
4	102	bit7
5	102	bit3
6	103	bit7
7	103	bit3
8	100	bit6
...	...	...



【図 7】

番地	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
100	d0	d1	d2	d3	d4	d5	d6	d7
101	d8	d9	d10	d11	d12	d13	d14	d15
102	d16	d17	d18	d19	d20	d21	d22	d23
103	d24	d25	d26	d27	d28	d29	d30	d31
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
300	d0	d8	d16	d24	d1	d9	d17	d25
301	d2	d10	d18	d26	d3	d11	d19	d27
302	d4	d12	d20	d28	d5	d13	d21	d29
303	d6	d14	d22	d30	d7	d15	d23	d31

【図 8】

番地	番地情報	ビット位置情報
0	100	bit7
1	101	bit7
2	102	bit7
3	103	bit7
4	100	bit6
5	101	bit6
6	102	bit6
7	103	bit6
8	100	bit5
...	...	...

【図 9】

番地	番地情報	ビット位置情報
0	300	bit7
1	301	bit7
2	302	bit7
3	303	bit7
4	300	bit6
5	301	bit6
6	302	bit6
7	303	bit6
8	300	bit5
...	...	...

【図 10】

番地	番地情報	ビット位置情報
0	300	bit7
1	300	bit3
2	301	bit7
3	301	bit3
4	302	bit7
5	302	bit3
6	303	bit7
7	303	bit3
8	300	bit6
...	...	...

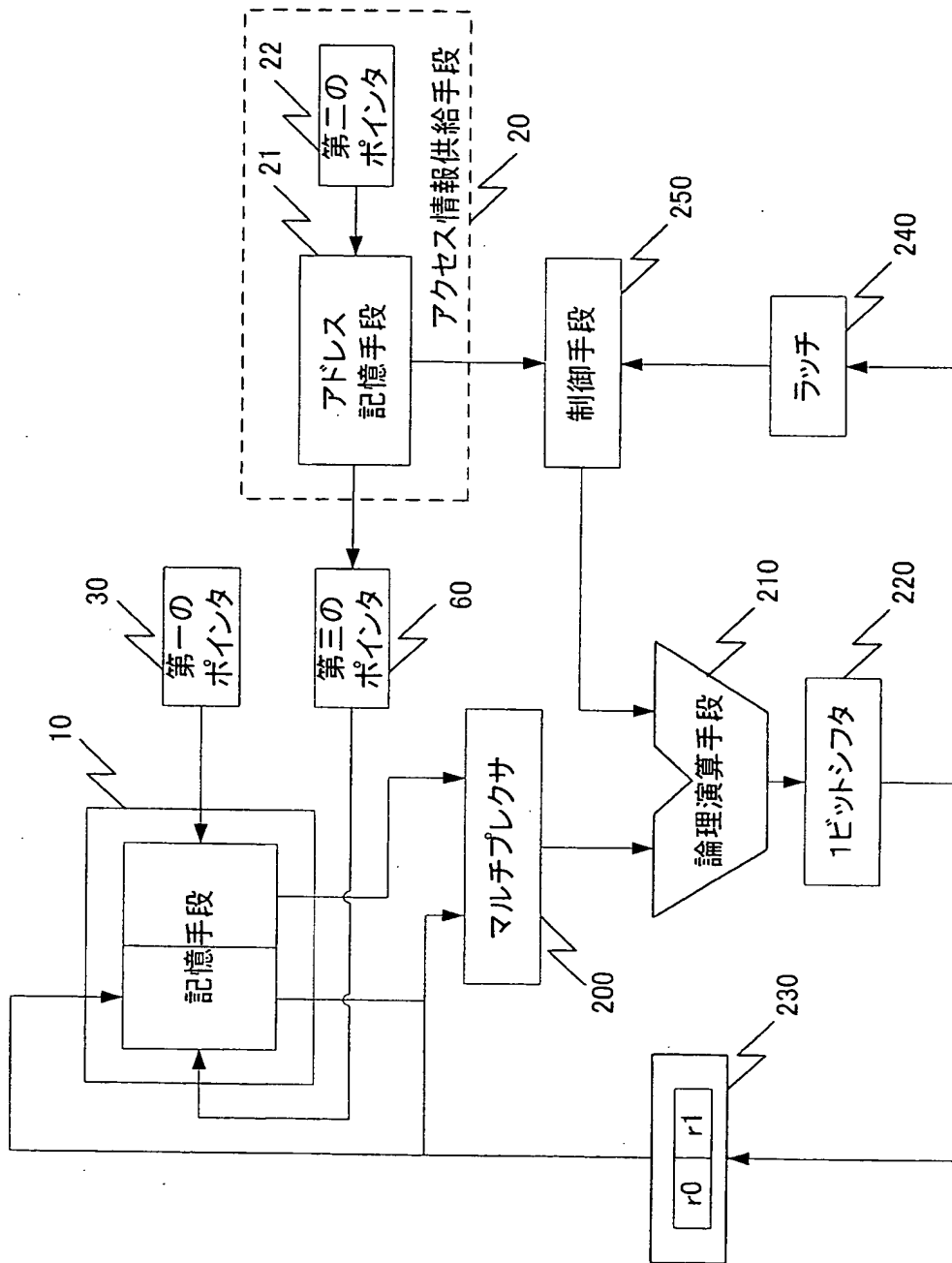
【図 11】

処理	処理内容
step0	第一のポインタ30←番地情報 第二のポインタ22←第二のポインタ22+1
step1	繰り返し回数の設定
step2	シフトレジスタ50←データ記憶手段10(第一のポインタ30の番地) の1ワードデータの特定ビットを選択 第一のポインタ30←番地情報 第二のポインタ22←第二のポインタ22+1 step2に戻る
step3	データ記憶手段10(第三のポインタ60の番地)←シフトレジスタ50 第三のポインタ60←第三のポインタ60+1
Step4	step1に戻る

【図 12】

処理	処理内容
step0	繰り返し回数の設定(1) 第三のポインタ60←処理後データ格納領域の先頭番地
step1	データ記憶手段10(第三のポインタ60の番地)←x'00 第三のポインタ60←第三のポインタ60+1 step1に戻る
step2	第三のポインタ60←番地情報 第二のポインタ22←第二のポインタ22+1
step3	シフトレジスタ50←データ記憶手段10(第一のポインタ30の番地) の1ワードデータ 第一のポインタ30←第一のポインタ30+1
step4	繰り返し回数の設定(2)
step5	データ記憶手段10(第三のポインタ60の番地) ←データ記憶手段10(第三のポインタ60の番地)の1ワードデータ の特定ビットにシフトレジスタ出力のデータ要素をセット 第三のポインタ60←番地情報 第二のポインタ22←第二のポインタ22+1 step5に戻る
step6	step3に戻る

【図 13】



【図 14】

処理	処理内容
step0	第三のポインタ60 ← 番地情報
step1	r1 ← データ記憶手段10 (第一のポインタ30の番地) 第一のポインタ30 ← 第一のポインタ30 + 1
step2	繰り返し回数 の 設定
step3	r0 ← データ記憶手段10 (第三のポインタ60の番地) の1ワードデータの特定ビットにラッチ240のフラグをセット 第二のポインタ22 ← 第二のポインタ22 + 1
step4	データ記憶手段10 (第三のポインタ60の番地) ← r0
step5	r1 ← r1 を上位側に1ビットシフト 第三のポインタ60 ← 番地情報 step3に戻る
step6	step1に戻る



【書類名】 要約書

【要約】

【課題】 ビット単位でインターリーブ／デインターリーブ処理を実現する場合、従来の技術では複雑な論理演算処理が必要となり、回路規模の増加や処理ステップ数の増加という課題があった。

【解決手段】 アクセス情報供給手段 20 が出力する番地情報及びビット位置情報はインターリーブ／デインターリーブ処理後のデータ要素の並びに従って定められている。アクセス情報供給手段 20 からの番地情報に対応するデータ記憶手段 10 の番地から 1 ワードデータを読み出し、データ選択手段 40 にてアクセス情報供給手段 20 からのビット位置情報が示すビット位置のデータ要素を選択し出力する。このようにして連続的に処理されたビット列は、既にインターリーブ／デインターリーブ処理後のデータ列になっており、複雑な論理演算処理を回避し、回路規模を削減し、処理ステップ数を削減できる。

【選択図】 図 1

認 定 ・ 付 加 情 報

特許出願の番号	特願 2 0 0 3 - 1 0 2 9 1 8
受付番号	5 0 3 0 0 5 7 4 3 8 4
書類名	特許願
担当官	第七担当上席 0 0 9 6
作成日	平成 1 5 年 4 月 8 日

< 認定情報・付加情報 >

【提出日】 平成15年 4月 7日

次頁無

特願 2 0 0 3 - 1 0 2 9 1 8

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 5 8 2 1 ]

1. 変更年月日	1 9 9 0 年 8 月 2 8 日
[変更理由]	新規登録
住 所	大阪府門真市大字門真 1 0 0 6 番地
氏 名	松下電器産業株式会社